

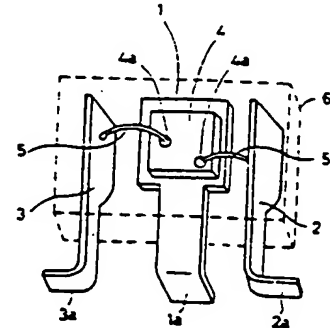
REF A05

(54) SEMICONDUCTOR DEVICE

(11) 4-62942 (A) (43) 27.2.1992 (19) JP  
 (21) Appl. No. 2-173052 (22) 30.6.1990  
 (71) NEC CORP. (72) MASATO YAMAOKA  
 (51) Int. Cl. H01L21:60

**PURPOSE:** To make a device small-sized and to enhance the strength of a lead by a method wherein a connecting lead which is arranged and installed around a chip-mounting lead is arranged and installed in such a way that its surface is faced with a direction perpendicular to the mounting face of the chip-mounting lead.

**CONSTITUTION:** Two connecting leads 2, 3 are arranged and installed on both sides of a chip-mounting lead 1. The connecting leads 2, 3 are extended and installed in parallel with the chip-mounting lead 1. However, surfaces of the individual connecting leads 2, 3 are faced with a direction perpendicular to the chip-mounting face of the chip-mounting lead 1. A transistor chip 4 is mounted on the chip-mounting face of the chip-mounting lead 1; and electrodes 4a of the chip 4 are connected electrically to surfaces of the individual connecting leads 2, 3 by using thin wires 5. In addition, this assembly is sealed with a sealing resin 6 to constitute a package. Tips of the individual leads 1, 2, 3 protrude respectively from one side face of the sealing resin 6 and are bent respectively at right angles. Thereby, individual end parts 1a, 2a, 3a for connection use are arranged on the same plane.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-62942

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月27日

H 01 L 21/60

3 0 1 A

6918-4M

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-173052

⑰ 出 願 平2(1990)6月30日

⑱ 発 明 者 山 岡 正 人 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップを搭載するチップ搭載リードと、このチップ搭載リードの周囲に配設されて前記半導体チップに対して細線ワイヤで電気接続される接続リードとを備えて各リードを封止樹脂でパッケージしてなる半導体装置において、前記接続リードはその表面を前記チップ搭載リードの搭載面に対して垂直方向に向けて配設したことを特徴とする半導体装置。

2. 接続リードは、端部を厚さ方向に1回曲げ形成してチップ搭載リードの端部と同一平面上に配設してなる特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に表面実装を行う樹脂封止パッケージ構造の半導体装置に関する。

〔従来の技術〕

従来のこの種の半導体装置の一例を第3図の斜視図に示す。ここではトランジスタで例示しており、1本のチップ搭載リード11と、その水平方向の両側に配設した2本の接続リード12、13とを備えている。そして、チップ搭載リード11に半導体素子(トランジスタ)チップ14を搭載しており、このトランジスタチップ14と接続リード12、13とを細線ワイヤ15とで電気接続し、これらを封止樹脂16で封止してパッケージを構成している。

なお、各リード11、12、13の他端は封止樹脂16から突出され、外部回路への接続用端子部11a、12a、13aとして構成されている。

〔発明が解決しようとする課題〕

このような従来の半導体装置では、チップ搭載リード11の両側の略同一平面上に2本の接続リード12、13を配設しているため、封止樹脂16の水平方向の面積はこれら3本のリード11、12、13の面積の和以下にすることができず、半導体

装置の小型化を進める上での障害になっている。

また、従来この種の半導体装置を表面実装させる場合には、各リード11、12、13の端子部11a、12a、13aを封止樹脂16の底面に沿って同一平面上に配置する必要があるため、各リード11、12、13をその厚さ方向にクランク状に2回曲げ形成する必要があるため、リードの強度が低下されるとともに、加工工程が多くなって製造が面倒になるという問題がある。

本発明の目的は、半導体装置の小型化を図るとともに、リード強度を向上させ、かつ製造を容易なものとした半導体装置を提供することにある。  
(課題を解決するための手段)

本発明の半導体装置は、半導体チップを搭載するチップ搭載リードの周囲に配設される接続リードを、その表面がチップ搭載リードの搭載面に対して垂直方向に向くように配設している。

また、接続リードは、端部を厚さ方向に1回曲げ形成してチップ搭載リードの端部と同一平面上に配設している。

3

ジスタチップ4を搭載し、細線ワイヤ5でチップ4の電極4aと前記各接続リード2、3の表面との電気接続を行っている。さらに、これらは封止樹脂6で封止してパッケージを構成している。また、前記各リード1、2、3の先端は、それぞれ封止樹脂6の側面から突出され、かつそれぞれを直角に曲げ形成することで各接続用端子1a、2a、3aを同一平面上に配置させている。

この構成によれば、封止樹脂6の平面面積は、少なくともチップ搭載リード1のチップ搭載面の面積と、2本の接続リード2、3の厚さ方向の面積の和以上とすればよいから、各接続リード2、3の平面方向の面積分だけ低減することができる。また、各リード1、2、3の端部1a、2a、3aは1回曲げ形成するだけで、各端部を封止樹脂6の側面に沿って配設し、表面実装を可能とするため、各リードの強度低下が防止でき、かつ加工を容易に行うことができる。

第2図は本発明の第2実施例の斜視図であり、

(作用)

本発明によれば、各リードを封止する封止樹脂の面積は、チップ搭載リードの面積と、接続リードの厚さ方向の面積の和で良く、小型化が促進される。

また、接続リードは端部を1回曲げ形成するだけであるため、その強度が向上され、かつ加工を容易に行うことができる。

(実施例)

次に、本発明を図面を参照して説明する。

第1図は本発明の半導体装置の第1実施例の斜視図であり、ここでは3端子型の半導体装置、例えばトランジスタに適用した例を示している。

同図において、1はチップ搭載リードであり、その両側には2本の接続リード2、3を配設している。ここで、これら接続リード2、3はチップ搭載リード1と平行に延設されているが、各接続リード2、3の表面はチップ搭載リード1のチップ搭載面に対して垂直方向に向けてある。そして、前記チップ搭載リード1のチップ搭載面にトラン

4

第1実施例と等価な部分には同一符号を付してある。

この実施例では、チップ搭載リード1の両側に配設する接続リード2A、3Aは、チップ搭載リード1と直交する方向に延設し、かつ各表面はチップ搭載リード1のチップ搭載面と垂直に向けてある。そして、チップ搭載リード1にはトランジスタチップ4を搭載し、その電極4aと各接続リード2A、3Aとを細線ワイヤ5で電気接続している。また、これらは封止樹脂6により封止している。

さらに、前記チップ搭載リード1の端部1aはその厚さ方向にクランク状に2回曲げ形成して封止樹脂5の底面に沿うように突出させ、かつ各接続リード2A、3Aの各端部は厚さ方向に1回曲げ形成して封止樹脂5の底面に沿うように突出させ、各端部1a、2a、3aが同一平面上に位置するように構成している。

この構成においても、封止樹脂5の面積は、チップ搭載リード1のチップ搭載面の面積に、2本

5

6

の接続リード 2 A、3 A の厚さ方向の面積を加えた大きさに良く、面積の低減を図ることができる。また、チップ搭載リード 1 は 2 回曲げ形成しているが、接続リード 2 A、3 A は 1 回の曲げ形成であるため、リード強度の低減が防止できる。

〔発明の効果〕

以上説明したように本発明は、接続リードを、その表面がチップ搭載リードの搭載面に対して垂直方向に向くように配設しているので、これらのリードを封止する封止樹脂の面積は、チップ搭載リードの面積と接続リードの厚さ方向の面積の和で良く、半導体装置の小型化を図ることができる。

また、接続リードは、端部を厚さ方向に 1 回曲げ形成してチップ搭載リードの端部と同一平面上に配設しているので、表面実装を可能とするとともに、リードの強度が向上でき、かつ加工を容易に行うことができる。

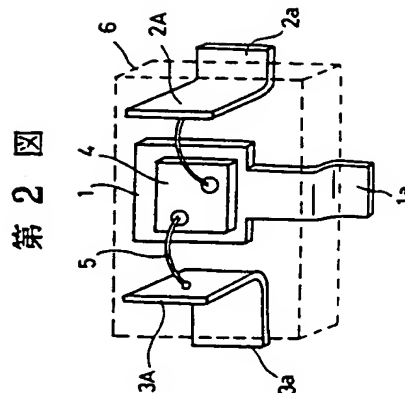
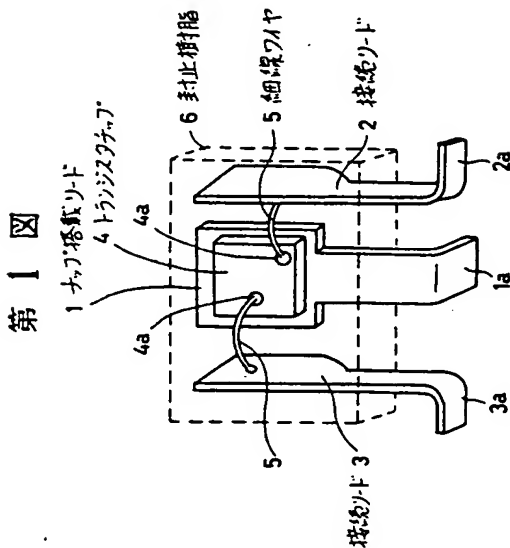
4. 図面の簡単な説明

第 1 図は本発明の第 1 実施例の斜視図、第 2 図は本発明の第 2 実施例の斜視図、第 3 図は従来の

半導体装置の斜視図である。

- 1、1 1 …チップ搭載リード、
- 2、3、2 A、3 A、1 2、1 3 …接続リード、
- 4、1 4 …トランジスタチップ、5、1 5 …細線ワイヤ、6、1 6 …封止樹脂。

代理人 弁理士 鈴木 章



第 3 図

